

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

PAT-NO: JP401189728A
DOCUMENT-IDENTIFIER: JP 01189728 A
TITLE: CIRCUIT FOR UPDATING INSTRUCTION PRE-FETCH
ADDRESS
PUBN-DATE: July 28, 1989

INVENTOR-INFORMATION:

| NAME | COUNTRY |
|--------------------|---------|
| NONOMURA, KAZUYASU | |
| NODA, TAKAHITO | |
| KAMISAKA, YUJI | |
| SAKURAI, YASUTOMO | |
| MARUYAMA, TAKUMI | |
| TAKENO, TAKUMI | |

ASSIGNEE-INFORMATION:

| NAME | COUNTRY |
|-------------|---------|
| FUJITSU LTD | N/A |

APPL-NO: JP63013964
APPL-DATE: January 25, 1988

INT-CL (IPC): G06F009/38

ABSTRACT:

PURPOSE: To simplify the constitution of a circuit by setting the output of a first register on which an instruction pre-fetch address is set on the first register via a second register and an incrementor.

CONSTITUTION: The output address of the first register 10 on which the instruction pre-fetch address is set is set on the second register 12. The output address of the second register 12 is incremented at an address incrementor 16, and is set on the register 10 under the control of an address set circuit 18, then, an address is updated. By employing the constitution using a ripple carry adder or the address incrementor consisting of an FF of level trigger without using a counter provided with the FF of edge trigger, the constitution of the circuit can be simplified.

COPYRIGHT: (C)1989,JPO&Japio

⑫ 公開特許公報(A) 平1-189728

⑬ Int. Cl. 4

識別記号

庁内整理番号

⑭ 公開 平成1年(1989)7月28日

G 06 F 9/38

3 1 0

B-7361-5B

審査請求 未請求 請求項の数 1 (全7頁)

⑮ 発明の名称 命令プリフェッチアドレスの更新回路

⑯ 特 願 昭63-13964

⑰ 出 願 昭63(1988)1月25日

⑱ 発 明 者 野々村 一 泰 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内⑲ 発 明 者 野 田 敬 人 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内⑲ 発 明 者 神 阪 裕 士 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内⑲ 発 明 者 桜 井 康 智 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑳ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

㉑ 代 理 人 弁理士 井桁 貞一

最終頁に続く

明細書

3. 発明の詳細な説明

1. 発明の名称

命令プリフェッチアドレスの更新回路

2. 特許請求の範囲

命令プリフェッチアドレスがセットされる第1レジスタ(10)のアドレス入力側と命令プリフェッチ時に第1レジスタ(10)の出力アドレスがセットされるメモリアクセス用第2レジスタ(12)のアドレス出力側とを結ぶアドレスバス(14)と、

前記バス(14)に挿入され、第2レジスタ(12)の出力アドレスをインクリメントするアドレスインクリメンタ(16)と、

命令プリフェッチのアクセス中にインクリメンタ(16)の出力アドレスを第1レジスタ(10)にセットするアドレスセット回路(18)と、

を有する、ことを特徴とする命令プリフェッチアドレスの更新回路。

[目次]

概要

産業上の利用分野

従来の技術

発明が解決しようとする問題点

問題点を解決するための手段

作用

実施例

発明の効果

[概要]

本発明は、

命令のプリフェッチを行なうCPUにおいて命令のプリフェッチアドレスを更新する回路に関するものであり、

十分な性能を維持しながら回路構成を簡素化できる回路の提供を目的とし、

このため、命令プリフェッチアドレスがセットされる第1レジスタのアドレス入力側と命令プリフェッチ時に第1レジスタの出力アドレスがセットされるメモリアクセス用第2レジスタのアドレス出力側とを結ぶアドレスバスと、前記バスに挿入され第2レジスタの出力アドレスをインクリメントするアドレスインクリメンタと、命令プリフェッチのアクセス中にインクリメンタの出力アドレスを第1レジスタにセットするアドレスセット回路と、を有する、ことを特徴とする。

〔産業上の利用分野〕

本発明は、命令のプリフェッチを行なうCPUにおいて命令のプリフェッチアドレスを更新する回路に関するものである。

一般のCPUでは、オペランドアドレスによるメモリアクセスのために、そのアドレスを保持するMAR（メモリアドレスレジスタ）が設けられる。

そして命令のプリフェッチを行なうCPUでは、

- 3 -

マルチプレクサ46を介してSAR48にセットされ、SAR48の出力したプリフェッチアドレスがアドレスバス50を介してメモリ52へ与えられる。

これによりCPU40がオペランドアクセスを行っていないときに命令のプリフェッチが行なわれ、そのプリフェッチが行なわれる毎にPAR56の出力するプリフェッチアドレスが更新される。

このためPAR56はカウンタにより構成されており、そのアップカウントによりプリフェッチアドレスがプリフェッチ毎に更新される。

〔発明が解決しようとする問題点〕

ここで、アドレス空間の拡大に伴い、CPUのハード量削減が要望され、このためこの種の回路の簡素化が必要とされている。

しかしながら、エッジトリガのフリップフロップでカウンタが構成されるので、高速動作が可能であるものの、PARに多数のゲートが必要とな

- 5 -

命令のプリフェッチアドレスを保持するPAR（プリフェッチアドレスレジスタ）が設けられる。

その種のCPUでは、命令のプリフェッチがメモリの連続したアドレスに対して行なわれるので、命令のプリフェッチ毎にPARの出力アドレスがこの種の回路により逐次更新される。

〔従来の技術〕

第4図のCPU40ではレジスタ群42の出力がALU44に与えられ、ALU44が出力したオペランドアドレスはマルチプレクサ46を介してSAR（ストレージアクセスレジスタ）48にセットされる。

そしてSAR48の出力したアドレスはアドレスバス50を介してメモリ52に与えられ、これによりメモリ52のオペランドアクセスが行なわれる。

このオペランドアクセスが行なわれていないことがプリフェッチ制御回路54で確認されると、PAR56が出力したプリフェッチアドレスがマ

- 4 -

り、回路の簡素化が困難となる。

本発明は上記従来の事情に鑑みてなされたものであり、その目的は、十分な性能を維持しながらも回路構成の簡素化が可能となる命令プリフェッチアドレスの更新回路を提供することにある。

〔問題点を解決するための手段〕

上記目的を達成するために、本発明に係る装置は第1図のように構成されている。

同図において命令プリフェッチアドレスがセットされる第1レジスタ10（PAR56）のアドレス入力側と命令プリフェッチ時に第1レジスタ10の出力アドレスがセットされるメモリアクセス用第2レジスタ12（SAR48）アドレス出力側とがアドレスバス14により結ばれている。

そして第2レジスタ12の出力アドレスをインクリメントとするアドレスインクリメンタ16がバス14に挿入されている。

さらに命令プリフェッチのアクセス中に、インクリメンタ16の出力アドレスが第1レジスタ1

- 6 -

0へアドレスセット回路18によりセットされる。

〔作用〕

本発明では、第2レジスタ12の出力アドレスをインクリメンタ16がインクリメントし、レジスタ10にこれをセットすることが繰り返されることにより、プリフェッチアドレスの逐次更新が行なわれる。

〔実施例〕

以下、図面に基づいて本発明に係る回路の好適な実施例を説明する。

第2図において、SAR48の出力側からPAR56の入力側に至るアドレスバス14が設けられており、PAR56はレベルトリガのフリップフロップ（ラッチ）で構成されている。

そしてアドレスバス14中にインクリメンタ16が設けられており、インクリメンタ16は通常のリップルキャリアアダーで構成されている。

このためSAR48が出力したアドレスはイン

- 7 -

おらずかつ命令バッファに空のあることが確認されたときに、PAR56が保持していたプリフェッチアドレスがSAR48にセットされ、これにより命令のプリフェッチがその間に行なわれる。

そして前記プリフェッチ制御回路54のプリフェッチ要求信号PFRQがフリップフロップ64に与えられており、そのフリップフロップ64はシステムクロックCLKの各パルスでセットされている。

さらにフリップフロップ64の出力信号pfrqはマルチプレクサ58に与えられており、マルチプレクサ58ではその信号pfrqによりインクリメンタ16の出力したアドレスが選択される。

またフリップフロップ64の出力信号pfrqによりゲート66が開かれており、このゲート66を介してシステムクロックがPAR56に与えられている。

そのシステムクロックによりPAR56ではマルチプレクサ58の出力したアドレスがセットされ、その結果、SAR48の保持アドレスが更新

- 9 -

クリメンタ16でインクリメントされ、インクリメンタ16の出力したアドレスはマルチプレクサ58を介してPAR56に入力される。

またこのマルチプレクサ58を介してALU44の出力したアドレスがPAR56に入力されており、この入力アドレスのセットは初期設定時または分岐時に行なわれる。

さらにプリフェッチ制御回路54は、オペランドアクセスが行なわれておらずかつ命令バッファに悪のあることを確認したときに、プリフェッチ要求信号PFRQを出力でき、その信号PFRQはマルチプレクサ46に与えられている。

これによりマルチプレクサ46ではPAR56の出力したアドレスを選択でき、選択アドレスはSAR48に入力される。

そのSAR48にはシステムクロックCLKがゲート60を介して与えられており、ゲート60はゲート62を介して与えられたプリフェッチ制御回路54のPFRQで開かれている。

したがって、オペランドアクセスが行なわれて

- 8 -

される。

このように本実施例では第1図のアドレスセット回路18はマルチプレクサ、フリップフロップ64、ゲート66により構成されている。

本実施例は以上の構成からなり、以下その作用を第3図により説明する。

オペランドアクセスが行なわれておらずかつ命令バッファに空きがあることを確認されると、第3図（B）のようにクロックCLKの1サイクルに亘りHレベルとなるプリフェッチ要求信号PFRQがプリフェッチ制御回路54から出力される。

この信号PFRQによりマルチプレクサマルチプレクサ46でPAR出力のプリフェッチアドレスnが第3図（D）のように選択され、そのアドレスnがSAR48に入力される。

また第3図（A）、（B）のように、信号PFRQでゲート60が開かれているときに2番目のシステムクロックCLKが発生すると、SAR48にPAR出力のプリフェッチアドレスnが同図（E）のようにセットされる。

- 10 -

そのセットアドレス n は同図(I)のようにアドレスバス50へ出力され、これにより命令のプリフェッチが行なわれる。

そしてSAR出力のプリフェッチアドレス n は信号 $pfrq$ によりインクリメンタ16で第3図(H)のようにインクリメントされ、その際にフリップフロップ64の出力信号 $pfrq$ によりマルチプレクサ58でインクリメンタ側が選択されているので、インクリメンタ16の出力アドレス $n+1$ は同図(F)のようにPAR56に入力される。

さらに次のシステムクロックCLKが発生すると、信号 $pfrq$ で開かれたゲート66を介してそのシステムクロックCLKがPAR56に入力されるので、マルチプレクサ58で選択されたインクリメンタ側のアドレス $n+1$ がPAR56へ第3図(G)のように取り込まれる。

以上のように最初のシステムクロックCLKでプリフェッチアドレス n が出力されて命令のプリフェッチが行なわれ、次のシステムクロックCLK

- 11 -

スタの命令プリフェッチ用アドレスがセットされるメモリアクセス用第2レジスタのアドレス出力がインクリメンタでインクリメントされて第1レジスタにセットされるので、エッジトリガのフリップフロップの使用が前提となるカウンタをフリップフロップアドレスの更新に使用することが不要となり、これに代えてリップルキャリアーやレベルトリガのフリップフロップを使用でき、このため回路の構成に要するゲート数を大幅に削減できる。

また、メモリアクセスには高速性が要求されないので、アドレスインクリメンタにリップルキャリアー等を使用し、第1レジスタにラッチなどを使用しても、CPUの動作に何等の影響を与えることはなく、したがって十分な性能を維持しながら回路構成を簡素化でアドレス空間の拡大に対応することが可能となる。

4. 図面の簡単な説明

第1図は発明の原理説明図、

第2図は実施例の構成説明図、

- 13 -

Kでプリフェッチアドレス n のインクリメントが行なわれる。

したがってフリップフロップアドレスの更新には2マシンサイクルを有するが、この速度がメモリアクセスに許容されるので、CPU40の動作に影響を与えることはない。

ここで、インクリメンタ16としてリップルキャリアーアダーが使用されており、PAR56がレベルトリガのフリップフロップ(ラッチ)で構成されているので、エッジトリガのフリップフロップで構成されるカウンタを従来のようにPAR56に使用した場合に比し、 $1/2 \sim 1/3$ にゲート数を削減できる。

したがって本実施例によれば、十分な性能を維持しながら回路構成を簡素化でき、このためCPU40のアドレス空間拡大に対応することが可能となる。

[発明の効果]

以上説明したように本発明によれば、第1レジ

- 12 -

第3図は実施例の各部における信号のタイムチャート、

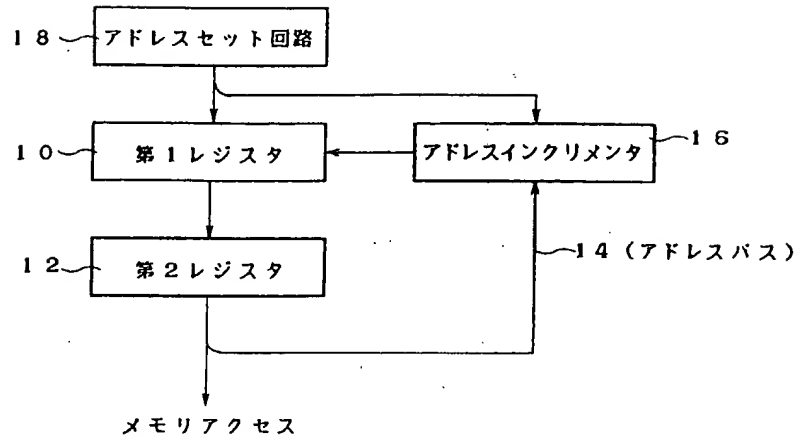
第4図は従来例の構成説明図である。

14・・・アドレスバス、
16・・・アドレスインクリメンタ、
40・・・CPU、
44・・・ALU、
46・・・マルチプレクサ、
48・・・SAR、
50・・・アドレスバス、
52・・・メモリ、
54・・・プリフェッチ制御回路、
56・・・PAR、
58・・・マルチプレクサ、
60、62・・・ゲート、
64・・・フリップフロップ、
66・・・ゲート。

代理人弁理士

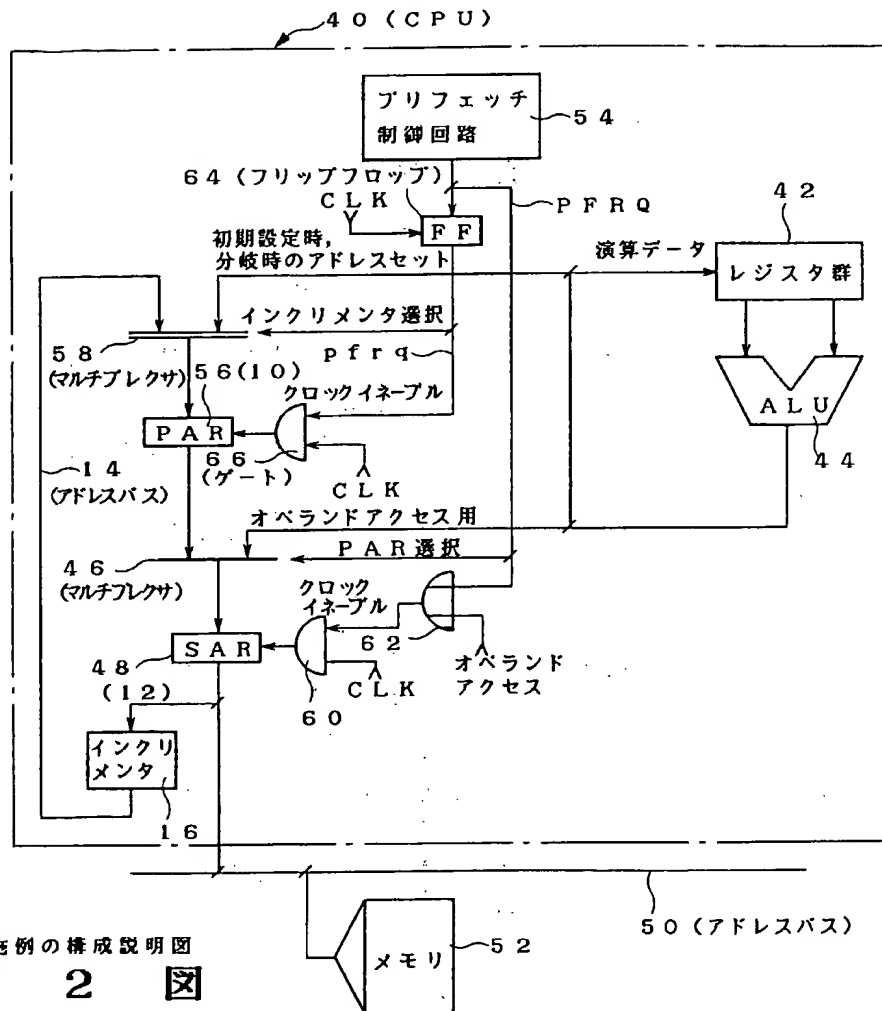
井 桁 貞 -

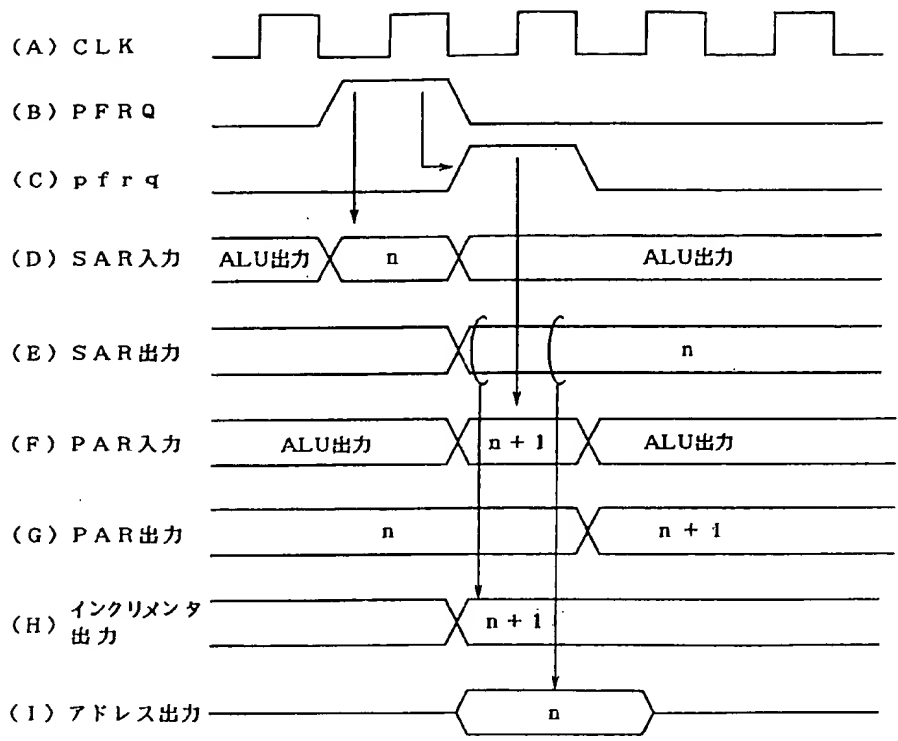
- 14 -



発明の原理説明図

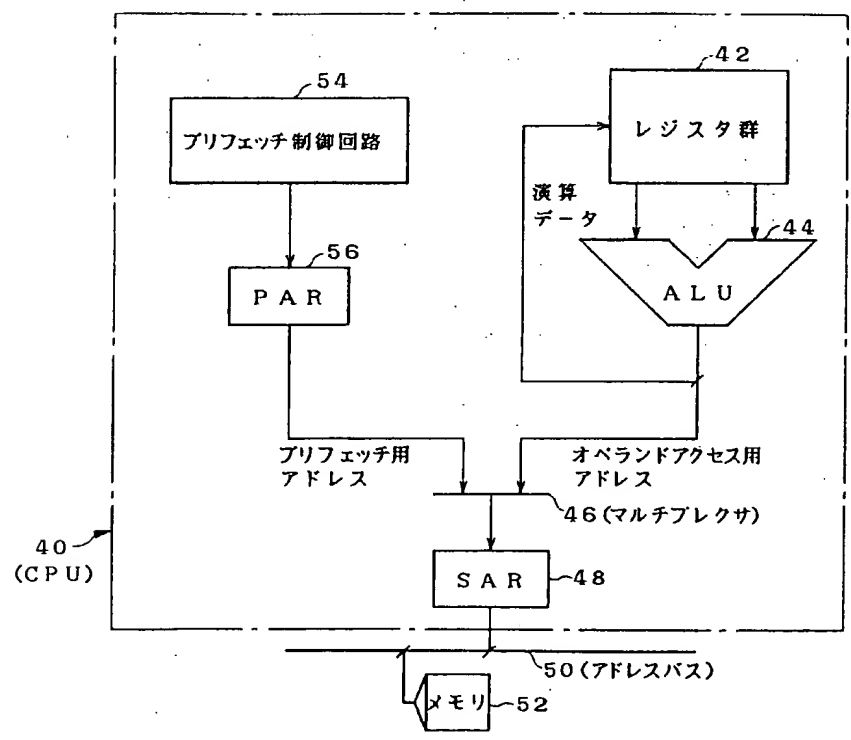
第 1 図





実施例の各部における信号のタイムチャート

第 3 図



従来例の構成説明図

第 4 図

第1頁の続き

| | | | |
|------|----|----|-----------------------------------|
| ⑫発明者 | 丸山 | 拓巳 | 神奈川県川崎市中原区上小田中1015番地 富士通株式会社 内 |
| ⑬発明者 | 竹野 | 巧 | 神奈川県川崎市中原区上小田中1015番地 富士通株式会社 内 |